

DIALOG(R)File 351:Derwent WPI  
(c) 2002 Thomson Derwent. All rts. reserv.

010747115      \*\*Image available\*\*

WPI Acc No: 1996-244070/ 199625

XRPX Acc No: N96-204738

**Field emission ultra thin display - has thin film formed on cathode electrode, to discharge electrons through detailed hole provided between pair of electrodes**

Patent Assignee: SONY CORP (SONY )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 8096704	A	19960412	JP 94259125	A	19940928	199625 B

Priority Applications (No Type Date): JP 94259125 A 19940928

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 8096704	A		12	H01J-001/30	

Abstract (Basic): JP 8096704 A

The particle discharge device is provided with a cathode electrode line (13) and a gate electrode line (14), with an insulation layer (15) formed inbetween. The two electrode lines are placed on a substrate (11). A detailed hole (20) is formed through the gate electrode and the insulation layer.

A thin film (16) consisting of a particle discharge substance is formed on the detailed hole provided on the upper layer of the cathode electrode. On application of a voltage, electrons are emitted from the particle discharge substance between the pair of electrodes, through the detailed hole.

ADVANTAGE - Ensures efficient emission of electrode with good directivity. Ensures uniform emission of current by giving low derive voltage. Improves reliability and life span of display device.

Dwg.4/21

Title Terms: FIELD; EMIT; ULTRA; THIN; DISPLAY; THIN; FILM; FORMING;  
CATHODE; ELECTRODE; DISCHARGE; ELECTRON; THROUGH; DETAIL; HOLE; PAIR;  
ELECTRODE

Derwent Class: V05

International Patent Class (Main): H01J-001/30

International Patent Class (Additional): H01J-009/02

File Segment: EPI

Manual Codes (EPI/S-X): V05-L01A3; V05-L05D1

BEST AVAILABLE COPY

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-96704

(43) 公開日 平成8年(1996)4月12日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F 1	技術表示箇所
H 0 1 J. 1/30	Z			
	C			
9/02	B			

審査請求 未請求 請求項の数 11 F D (全 12 頁)

(21) 出願番号 特願平6-259125

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(22) 出願日 平成6年(1994)9月28日

(72) 発明者 根岸 英輔

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 中田 諭

東京都品川区北品川6丁目7番35号 ソニー株式会社内

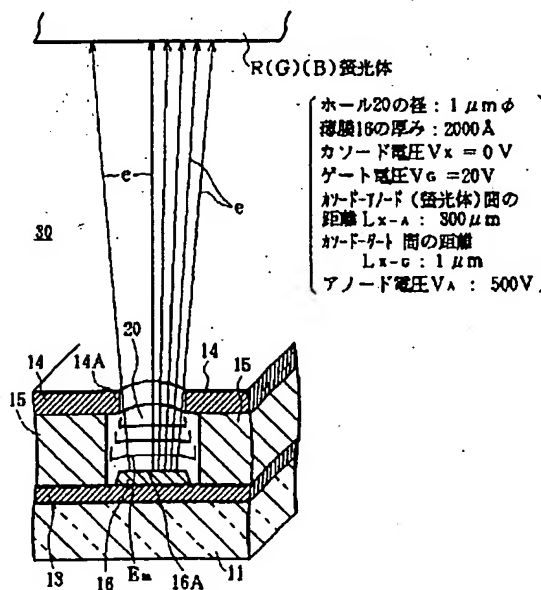
(74) 代理人 弁理士 逢坂 宏

(54) 【発明の名称】 粒子放出装置、電界放出型装置及びこれらの製造方法

(57) 【要約】

【構成】 第1の電極と第2の電極とが絶縁層15を介し互いに対向して設けられ、第2の電極及び絶縁層15をそれぞれ貫通する微小孔20が形成され、第1の電極と第2の電極との間に電圧を印加することによって電子が第1の電極側から微小孔20を通して放出して構成する電子放出装置又はこれを組み込んだ電界放出型装置において、第1の電極の構成材料よりも仕事関数が小さい電子放出物質からなる薄膜が、第1の電極と接した状態で微細孔20内に設けられている電子放出装置又は電界放出型装置。

【効果】 電子放出能力とその方向性を良好とし、低電圧駆動を可能にして放出される電流量の均質化を図り、しかも、高信頼性、長寿命であり、高精細、大型の極薄型ディスプレイ装置にも十分対応可能な装置を提供できる。



(2)

特開平8-96704

## 【特許請求の範囲】

【請求項1】 第1の電極と第2の電極とが絶縁層を介し互いに対向して設けられ、前記第2の電極及び前記絶縁層をそれぞれ貫通する微小孔が形成され、前記第1の電極と前記第2の電極との間に電圧を印加することによって所定の粒子が前記微小孔を通して放出されるように構成されている粒子放出装置において、前記第1の電極の構成材料よりも仕事関数が小さい粒子放出物質からなる薄膜が前記微小孔内に設けられていることを特徴とする粒子放出装置。

【請求項2】 互いに交差するカソード電極ラインとゲート電極ラインとが絶縁層を介して基体上に積層され、前記ゲート電極ライン及び前記絶縁層をそれぞれ貫通する微小孔が形成されていると共に、前記カソード電極ラインの構成材料よりも仕事関数が小さい電子放出物質からなる薄膜状の微小陰極が前記微小孔内に設けられ、電子放出源として構成された、請求項1に記載した粒子放出装置。

【請求項3】 粒子放出物質からなる薄膜が、絶縁層の2分の1以下の厚みに設けられている、請求項1又は2に記載した粒子放出装置。

【請求項4】 粒子放出物質の仕事関数が3.0eV以下である、請求項1～3のいずれか1項に記載した粒子放出装置。

【請求項5】 粒子放出物質がダイヤモンドである、請求項4に記載した粒子放出装置。

【請求項6】 微小孔がほぼ円形である、請求項1～5のいずれか1項に記載した粒子放出装置。

【請求項7】 微小孔がスリット状である、請求項1～5のいずれか1項に記載した粒子放出装置。

【請求項8】 請求項1～7のいずれか1項に記載した粒子放出装置を具備する電界放出型装置。

【請求項9】 カソード電極ライン、ゲート電極ライン、微小孔付きの絶縁層及び前記微小孔内の薄膜状の微小陰極からなる第1のパネルと、複数色の発光体及びこれらの発光体がそれぞれ被着された電極からなる第2のパネルとによって電界放出型発光装置として構成された、請求項8に記載した電界放出型装置。

【請求項10】 発光体が発光体である電界放出型ディスプレイ装置として構成された、請求項9に記載した電界放出型装置。

【請求項11】 基体上に第1の電極を形成する工程と、この第1の電極を含む領域上に絶縁層を形成する工程と、この絶縁層上に第2の電極を形成する工程と、この第2の電極及び前記絶縁層をそれぞれ貫通する微小孔を形成する工程と、前記第2の電極上に剥離層を形成する工程と、しかる後に粒子放出物質を前記微小孔内に堆積させて前記粒子放出物質の薄膜を形成する工程と、前記剥離層と共にこの剥離層上の前記粒子放出物質を除去する工程とを有する、請求項1～10のいずれか1項に記載

した装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、粒子放出装置（例えば、極薄型のディスプレイ装置に使用して好適な電子放出源）、電界放出型装置（例えば、前記電子放出源を具備するディスプレイ装置）及びこれらの製造方法に関するものである。

【0002】

10 【従来の技術】 従来、例えば極薄型のディスプレイ装置としては、電界放出型カソードを電子放出源とする電界放出型ディスプレイ（FED: Field Emission Display）が知られている。

【0003】 公知のFEDでは、スクリーン内部に電子放出源を設け、その各画素領域内に電子放出材料からなる多数のマイクロチップを形成し、所定の電気信号に応じて対応する画素領域のマイクロチップを励起することにより、スクリーンの蛍光面を発光させている。

20 【0004】 上記の電子放出源においては、帯状に形成された複数本のカソード電極ラインと、このカソード電極ラインの上部においてカソード電極ラインと交差して帯状に形成された複数本のゲート電極ラインとが設けられ、上記カソード電極ラインの上部ゲート電極ラインとの各交差領域がそれぞれ1画素領域として形成されている。

【0005】 従来の電子放出源によれば、具体的には図11～図13に示すように、例えばガラス材からなる下部基板101の表面上に帯状の複数本のカソード電極ライン103が形成されている。

30 【0006】 これらのカソード電極ライン103には各接続部103aを除いて絶縁層105が成膜され、この上に各カソード電極ライン103と交差して帯状に複数本のゲート電極ライン104が形成されていて、各カソード電極ライン103と共にマトリクス構造を構成している。

【0007】 さらに、各カソード電極ライン103の接続端部103a及び各ゲート電極ライン104の接続端部104aが制御手段107にそれぞれ接続され、電氣的に導通している。

40 【0008】 ここで、各カソード電極ライン103の各ゲート電極ライン104との各交差領域122において、絶縁層105には、カソード電極ライン103からゲート電極ライン104へ通じる孔径wの多数の円形の微細（小）孔120がカソードホールとして形成され、これらの各孔内に電界放出型カソードとしてのマイクロチップ106が数μm以下の微小サイズに設けられている。

【0009】 これらの各マイクロチップ106は、電子放出材料、例えばモリブデンからなっていて、ほぼ円錐体に形成され、それぞれカソード電極ライン103上に配されている。そして、各マイクロチップ106の円錐体の先端部は、ゲート電極ライン104に形成されている電子通

過用のゲート部 104b にほぼ位置している。

【0010】このように、各カソード電極ライン103 の各ゲート電極ライン104 との各交差領域122 には、多数のマイクロチップ106 が設けられて画素領域が形成され、個々の画素領域が1つの画素（ピクセル）に対応している。

【0011】上記のように構成された電子放出源（電界放出型カソード）においては、制御手段107 により所定のカソード電極ライン103 及びゲート電極ライン104 を選択し、これらの間に所定の電圧を印加することによって、この印加電圧を対応する画素領域内の各マイクロチップ106 に印加すると、各マイクロチップ106 の先端からトンネル効果によって電子が放出される。なお、この所定の印加電圧値は、各マイクロチップ106 がモリブデンからなっている場合、各マイクロチップ106 の円錐体の先端部付近の電界の強さが $10^8 \sim 10^{10} \text{ V/m}$ となる程度のものである。

【0012】このとき、この電子放出源が内蔵されたディスプレイ（FED）においては、所定の画素領域を励起することによって各マイクロチップ106 から放出された電子が、制御手段107 によりカソード電極ライン103 とアノード（蛍光面パネルの透明電極）との間に印加された電圧によって更に加速され、ゲート電極ライン104 とアノードとの間に形成された真空部を通して蛍光面に到達する。そして、この電子線により蛍光面から可視光が放出される。

【0013】ここで、図11においてこのディスプレイ装置の構成を説明すると、例えばR（赤）、G（緑）、B（青）の三原色の各蛍光体素子がITO（Indium Tin Oxide: In及びSnの混合酸化物）等からなる透明電極100R、100G、100Bを介してストライプ状に配列されてカラー蛍光面123 が形成された光透過性の蛍光面パネル114 と、電界放出型カソードを有する電極構造115（電子放出源）が形成された背面パネル101 とがシール材等により気密に封止され、所定の真空度に保持される。

【0014】蛍光面パネル114 と背面パネル101 とは、その間隔を一定に保持するために所定の高さの柱（いわゆるピラー）110 を介して封止される。

【0015】このFEDによりカラー表示を行う方法としては、選択された交差部122 の各カソードと一色の蛍光体とを対応させる方法と、各カソードと複数の色の蛍光体とを対応させるいわゆる色選別方法がある。この場合の色選別の動作を図14及び図15を用いて説明する。

【0016】図14において、蛍光面パネル114 の内面の複数のストライプ状の透明電極100上には各色に対応するR、G、Bの蛍光体が順次配列されて形成され、各色の電極はそれぞれ赤色は3R、緑色は3G、青色は3Bの端子に集約されて導出されている。

【0017】対向する背面パネル101 上には、上記した

ようにカソード電極103 及びゲート電極104 が直交してストライプ状に設けられ、マイクロチップ先端に $10^8 \sim 10^{10} \text{ V/m}$ の電界がかかるようにカソード電極103 -ゲート電極104 間に電圧を印加すると、各電極の交差部122 に形成されたマイクロチップ（電界放出型カソード）106 から電子が放出される。

【0018】一方、透明電極100（即ち、アノード電極）とカソード電極103 との間には100~1000Vの電圧を印加して、電子を加速し、蛍光体を発光させる。図14の例においては、赤色蛍光体Rにのみ電圧を印加して、電子を矢印eで示すように加速させた場合を示している。

【0019】このように、三端子化された各色R、G、Bを時系列で選択することによってカラー表示を行うことができる。各カソード電極列上のある一点のカソード、ゲート及びアノード（蛍光体ストライプ）のNTSC方式での色選別タイミングチャートを図15に示す。

【0020】各カソード電極103 を1Hの周期で線順次駆動させるときに、各色蛍光体R、G、Bに対しそれぞれ周期Hのうち $H/3$ ずつ $+hV$ の信号を与える一方、ゲート信号及びカソード信号を $H/3$ 周期でゲート信号として $+\alpha V$ 、カソード信号として $-\alpha V \sim -B V$ を同期してそれぞれ与え、ゲートカソード間電圧 $V_{gr} = +2\alpha V$ のときに電子を放出して、 $H/3$ 毎に選択されるR、G、Bの各蛍光体を発光させて色選別を行うことができ、これによりフルカラー表示を行うことができる。

【0021】しかしながら、本発明者が上記した電子放出源について検討を加えた結果、以下に述べるような欠点が存在することを突き止めた。

【0022】まず、図16に示すように、カソード電極103 上の微細孔120 内に配したマイクロチップ106 がほぼ絶縁層105 の厚みに亘ってほぼ円錐体に形成されているために、ゲート電極104 -カソード電極103 間に電圧を印加した際に等電位面 $E_c$ はマイクロチップ106 の円錐面に沿って微細孔120 内に形成されることになる。

【0023】ところが、マイクロチップ106 から放出される電子eは等電位面 $E_c$ と直交して進行するので、孔120 から放出される電子eの進路は大きく振れ、その振れ角 $\theta$ は $\pm 30$ 度にもなってしまう。この結果、蛍光面では、電子ビームeが所定の蛍光体（例えば赤色蛍光体）に到達せず、不所望な蛍光体（例えば、隣接する緑色蛍光体）に到達し、ミスランディングを起こし易くなる。これでは、目的とする色の発光が得られず、ディスプレイの性能が損なわれ、その高精細化において問題となる。

【0024】しかも、上記した電子放出源においては、各マイクロチップ106 から放出される電子の量（即ち、電流量）がばらつき、不均質なものとなり易い。このため、このようなディスプレイ装置はスクリーン上に生じる光輝点が不均質となり、非常に目障りなものとなる。

【0025】また、上記した電子放出源は、金属粒子等

により、マイクロチップ106 とゲート電極ライン104 とが接続されてカソード電極ライン103 とゲート電極ライン104 とが短絡し、マイクロチップ106 が破壊される場合があることが分かった。これに加えて、ゲート電極ライン104 と蛍光面114 との間の高真空領域130 に存在するイオンがマイクロチップ106 をスパッタし、ディスプレイとしての寿命を縮めることもある。

【0026】上記の短絡によるマイクロチップ106 の破壊について、図17～図21に示す製造工程で説明すると、まず図17に示すように、ガラス等からなる下部基板101 上にニオブウム等を材料として厚さ約2000Å程度の導体膜を成膜し、その後、写真製版法及び反応性イオンエッチング法により、この導体膜をライン形状にパターンニングしてカソード電極103 とする。

【0027】そして、絶縁層105(例えば、二酸化珪素)をスパッタリング又は化学蒸着法により上記導体膜上に成膜し、この絶縁層105 上にゲート電極材料(例えば、ニオブウム)を成膜し、その後、写真製版法及び反応性イオンエッチング法によりこの導体膜をカソード電極ライン103 と交差するようなゲート電極ライン104 に加工する。しかる後、ゲート電極ライン104 及び絶縁層105 を貫通する円形の微細孔120 を写真製版法及び反応性イオンエッチング法により形成する。

【0028】その後、図18に示すように、剥離層124(例えば、アルミニウム)を電子放出源の主面部に対して斜め方向から真空蒸着により成膜する。

【0029】そして、図19に示すように、微細孔120 中のカソード電極103 上にモリブデンを円錐形に蒸着法により堆積させ、マイクロチップ106 を形成する。このとき、剥離層124 上にモリブデン106 が堆積するが、この堆積の進行に伴って孔120 の上方が堆積モリブデンにより徐々に閉じられ、これと同時にマイクロチップ106 が円錐状に堆積する。

【0030】次いで、図20に示すように剥離層124 を溶解することにより、剥離層124 上のモリブデン106 を剥離し、除去(リフトオフ)し、図13に示した如き構造を作製する。

【0031】しかし、このリフトオフ時等に生じた金属片125 等がマイクロチップ106 とゲート電極ライン104 との間に付着し、これらを短絡する。このため、作動時にカソード103 -ゲート104 間に電圧を印加し、この電圧を上げていった場合に、マイクロチップ106 は非常に高温になり、ついには耐えきれないほどの温度となる。

【0032】この結果、図21に示すように、マイクロチップ106 自体と、その周りの半径数十μmに亘る領域のゲート104 やカソード103 までも矢印126 のように溶断され、破壊を生じてしまう。これでは、かなりの領域が動作しなくなり、有効な領域が減少してしまう。

【0033】

【発明が解決しようとする課題】本発明の目的は、上記

したような従来技術の欠点を解決し、電子等の放出能力とその方向性を良好とし、低電圧駆動を可能にして、放出される電流量の均質化を図り、しかも、高信頼性、長寿命であり、高精細、大型の極薄型ディスプレイ装置にも十分対応可能な粒子放出装置、電界放出型装置及びこれらの製造方法を提供することにある。

【0034】

【課題を解決するための手段】即ち、本発明は、第1の電極(例えば、後述のカソード電極13)と第2の電極(例えば、後述のゲート電極14)とが絶縁層(例えば、後述のSiO<sub>2</sub>層15)を介し互いに対向して設けられ、前記第2の電極及び前記絶縁層をそれぞれ貫通する微小孔(例えば、後述のほぼ円形又はスリット状の微細孔又はカソードホール20)が形成され、前記第1の電極と前記第2の電極との間に電圧を印加することによって所定の粒子(特に電子)が前記第1の電極側から前記微小孔を通して放出されるように構成されている粒子放出装置(例えば、電界放出型カソード)において、前記第1の電極の構成材料よりも仕事関数が小さい粒子放出物質からなる薄膜(例えば、後述のダイヤモンド薄膜16)が前記微小孔内に設けられていることを特徴とする粒子放出装置に係るものである。

【0035】本発明による粒子放出装置は、電子の如きエネルギー粒子を放出するための微小孔内において、第1の電極に接して仕事関数の小さい粒子放出物質を薄膜に設けているので、第1の電極と第2の電極との間に電圧を印加した際に等電位面が上記薄膜に沿って平坦に形成されることになる。従って、この平坦な等電位面に対して直交して進行する粒子は、上記微小孔から対象物(例えば蛍光体面)へかなり揃った方向性を以て進行するため、常に目的とする対象物に到達することができ、ミスランディングを大きく減少させることができ、高精細化が可能となる。

【0036】また、上記薄膜を構成する粒子放出物質の仕事関数が第1の電極の構成材料よりも小さいので、粒子の放出のために第1の電極と第2の電極との間に印加する電圧を低減することができ、低電圧駆動に必要な放出量を安定して得ることができる。

【0037】また、粒子を放出する部分を上記の薄膜としているので、この薄膜を形成する際、例えば上述した蒸着後のリフトオフによって仮に金属片が生じても、薄膜と第2の電極との間が十分離れているためにこれらの間に金属片が付着して短絡が生じることがない。この結果、印加電圧を上昇させた場合に電極が溶断されることはなく、信頼性の良い動作を行わせることができる。

【0038】更に、粒子を放出する部分が上記薄膜であるため、マイクロチップ先端のように1点にイオンが集中することがなく、高真空領域に存在するイオンが薄膜に到達してこれをスパッタする割合が激減するから、装置の長寿命化が可能である。

【0039】本発明による粒子放出装置は、具体的には、互いに交差する（交差領域は画素領域となる）カソード電極ラインとゲート電極ラインとが絶縁層を介して基体上に積層され、前記ゲート電極ライン及び前記絶縁層をそれぞれ貫通する微小孔が形成されていると共に、前記カソード電極ラインの構成材料よりも仕事関数が小さい電子放出物質からなる薄膜状の微小陰極が前記微小孔内に設けられ、電子放出源として構成されるのが望ましい。

【0040】また、上記した粒子放出物質からなる薄膜が、絶縁層の2分の1以下の厚みに設けられているのがよく、例えば、絶縁層が $1\mu\text{m}$ 厚であれば、薄膜は5000Å以下の厚みを有している。この薄膜の厚みは、上記した本発明の作用効果を有効に発揮できるように設定するのがよく、また、蒸着量等によって制御可能である。

【0041】上記した粒子放出物質の仕事関数は、第1の電極の構成材料の仕事関数よりも小さいことが必須不可欠であり、 $3.0\text{eV}$ 以下であることが望ましく、 $2.0\text{eV}$ 以下が更によい。これは、両電極（第1の電極及び第2の電極）間の印加電圧を低くし、特に数10Vでも必要な電流量を得、例えばディスプレイ用として十分に動作可能となるからである。なお、第1の電極の構成材料としては、Nb（仕事関数 $4.02\sim 4.87\text{eV}$ ）、Mo（仕事関数 $4.53\sim 4.95\text{eV}$ ）、Cr（仕事関数 $4.5\text{eV}$ ）等が挙げられる。

【0042】こうした粒子放出物質としては、ダイヤモンド（特にアモルファスダイヤモンド：仕事関数 $1.0\text{eV}$ 以下）がよい。薄膜がアモルファスダイヤモンド薄膜である場合には、 $5\times 10^7\text{V/m}$ 以下の電界の強さでディスプレイとして必要な電流量を得ることができるので、一層の低電圧駆動が可能となる。

【0043】また、こうしたアモルファスダイヤモンド薄膜は電気的に抵抗体であるから、各微小孔内の薄膜から放出される電流量の均質化を図ることができる。そして、アモルファスダイヤモンド薄膜は化学的に不活性であり、イオンによりスパッタリングされにくいので、安定なエミッションを長い時間維持できる。

【0044】ダイヤモンド以外に使用可能な粒子放出物質としては、LaB<sub>6</sub>（仕事関数 $2.66\sim 2.76\text{eV}$ ）、BaO（仕事関数 $1.6\sim 2.7\text{eV}$ ）、SrO（仕事関数 $1.25\sim 1.6\text{eV}$ ）、Y<sub>2</sub>O<sub>3</sub>（仕事関数 $2.0\text{eV}$ ）、CaO（仕事関数 $1.6\sim 1.86\text{eV}$ ）、BaS（仕事関数 $2.05\text{eV}$ ）、TiN（仕事関数 $2.92\text{eV}$ ）、ZrN（仕事関数 $2.92\text{eV}$ ）等が挙げられる。

【0045】こうした粒子放出物質は、既述したマイクロチップ106の構成材料であるモリブデン（仕事関数 $4.6\text{eV}$ ）等と比べて仕事関数がかなり小さいことが特徴的である。なお、この仕事関数は $3.0\text{eV}$ 以下とするのが望ましいが、これは両電極間の印加電圧との相関性で決めることができ、仕事関数が小さめである場合は印

加電圧を低くでき（例えば、仕事関数を $2.0\text{eV}$ 以下とすれば印加電圧は $100\text{V}$ 以下にでき）、或いは仕事関数が大きめである場合は印加電圧を高くすればよい。

【0046】本発明はまた、上記した電界放出型カソード等の電子放出源の如き粒子放出装置を具備する電界放出型装置、例えば、そうした粒子放出装置と、上記した蛍光面パネルの如く粒子が入射する発光用等の装置との組み合わせで構成される電界放出型装置も提供するものである。また、放出される粒子は通常は電子であるが、必ずしも電子に限られるものではなく、他の素粒子も対象としてよい。

【0047】こうした電界放出型装置としては、カソード電極ライン、ゲート電極ライン、微小孔付きの絶縁層及び前記微小孔内の薄膜状の微小陰極からなる第1のパネルと、複数色の発光体及びこれらの発光体がそれぞれ被着された電極からなる第2のパネルとによって構成された電界放出型発光装置が挙げられる。この場合、発光体が発光体である電界放出型ディスプレイ装置（FED）として構成することができる。

【0048】本発明による粒子放出装置及び電界放出型装置は、基体（例えば、後述のガラス基板11）上に第1の電極（例えば、後述のカソード電極13）を形成する工程と、この第1の電極を含む領域上に絶縁層（例えば、後述のSiO<sub>2</sub>層15）を形成する工程と、この絶縁層上に第2の電極（例えば、後述のゲート電極14）を形成する工程と、この第2の電極及び前記絶縁層をそれぞれ貫通する微小孔（例えば、後述のほぼ円形又はスリット状の微細孔又はカソードホール20）を形成する工程と、前記第2の電極上に剥離層（例えば、後述のアルミニウム層24）を形成する工程と、しかる後に粒子放出物質（例えば、ダイヤモンド）を前記微小孔内に堆積させて前記粒子放出物質の薄膜（例えば、後述のダイヤモンド薄膜16）を形成する工程と、前記剥離層と共にこの剥離層上の前記粒子放出物質を除去する工程（リフトオフ）とを有する方法を経て製造するのが望ましい。

【0049】この製造方法によれば、粒子放出物質の薄膜を成膜するに際し、その薄膜の厚み分（望ましくは、絶縁層の厚みの $1/2$ 以下）だけ堆積させればよいので、既述したマイクロチップのように高さや形状を高精度にして形成する必要はなく、また、微小孔内の堆積膜以外に堆積した粒子放出物質を剥離層と共にリフトオフし易くなり、このリフトオフ時に仮に金属片が生じても薄膜が薄いために金属片がカソードーゲート間に接触して短絡することはない。

【0050】

【実施例】以下、本発明の実施例を説明する。

【0051】図1～図9は、本発明を電子放出源（電界放出型カソードを含む電極構成）及び極薄型のディスプレイ装置（FED）に適用した第1の実施例を示すものである。

【0052】本実施例によるディスプレイ装置は、図11に示したものと同様に、図1に示す電子放出源（電界放出型カソードを含む電極構体25）と、真空部を介して電子放出源に対向したアノードとなる蛍光面パネルとの組み合わせによって構成され、既述したようにしてディスプレイ動作を行うものである。

【0053】電子放出源においては、その要部を縦断面で表す図1（更には、画素領域を平面的に表す図2）に示すように、例えばガラス材からなる下部基板11の表面上に帯状の複数本のカソード電極ライン13が形成されている。

【0054】これらのカソード電極ライン13上には、各接続端部13aを除いて絶縁層15が成膜され、その上に各カソード電極ライン13と領域22で交差して帯状の複数本のゲート電極ライン14が形成され、各カソード電極ライン13と共にマトリクス構造を構成している。

【0055】さらに、各カソード電極ライン13の接続端部13a及び各ゲート電極ライン14の接続端部14aが制御手段（図13の107と同様のもの）にそれぞれ接続され、電気的に導通している。

【0056】ここで、絶縁層15にはカソード電極ライン13からゲート電極ライン14へ通じる孔径wの多数の円形の微細（小）孔20がカソードホールとして形成され、これらの各孔内に電界放出型カソードとしての薄膜16が500Å以下（例えば2000Å）の厚みに設けられている。

【0057】これらの各薄膜16は、仕事関数がカソード電極ライン13よりも小さい電子放出材料、例えばアモルファスダイヤモンドの薄膜からなっていて、後述の方法によって微細孔16内に容易に成膜できる。

【0058】なお、蛍光面パネル側の基板は、その一主面である下面部において上記真空部を介して上記電子放出源の主面部と対向して設けられている。この上部基板の下面部には、蛍光面が塗布され、各カソード電極ライン13とそれぞれ平行な帯状の蛍光面が形成されている。

【0059】上記電子放出源においては、上記制御手段により所定のカソード電極ライン13及びゲート電極ライン14を選択し、これらの間に所定の電圧を印加することによって、対応する画素領域内の各微細孔20内の薄膜16に所定の電界がかかると、各微細孔20内の薄膜16からトンネル効果によって電子が放出される。

【0060】このとき、上記電子放出源が内蔵されたディスプレイ装置において、所定の画素領域を励起することによって各微細孔20内の薄膜16から放出された電子が上記制御手段によりカソード電極ライン13とアノードである上部基板との間に印加された電圧によって更に加速され、ゲート電極ライン14と上記上部基板との間に形成された真空部30を通して蛍光面に到達する。そして、この電子線により蛍光面から可視光が放出される。

【0061】ここで、図3に示すように、カソード電極ライン13上の微細孔20内に配した薄膜16が非常に薄い膜

厚に形成されていてその上面16Aがフラットであるために、ゲート電極14-カソード電極13間に電圧を印加した際に等電位面E。は薄膜16の面に沿ってほぼフラットに微細孔20内に形成されることになる。

【0062】従って、薄膜16から放出される電子eは等電位面E。と直交して進行するので、孔20から放出される電子eは進路があまり振れることなく、真空部（高真空領域）30を通して所定の蛍光体（例えば赤色蛍光体）に到達し、ミスランディングを起こすことはない。この結果、常に目的とする色の発光が得られ、ディスプレイの性能が向上し、高精細化が可能となる。

【0063】しかも、上記した電子放出源においては、ゲート電極ライン14及び絶縁層15を貫通する多数の円形の微細孔20内に薄膜16の微小冷陰極が形成され、これがカソード電極ライン13と電気的に接続されている構成を有し、薄膜16がアモルファスダイヤモンド等の如く仕事関数がカソード電極13よりも小さい材料からなっているので、カソード電極13-ゲート電極14間に印加する電圧を低くしても（数10V以下でも）放出される電子の量（即ち、電流量）が安定して得られる。

【0064】この場合、薄膜16が特にアモルファスダイヤモンドである場合、微小冷陰極自体が抵抗体であるため、各微細孔20内の薄膜16から放出される電流量が均質化される。この結果、ディスプレイ装置のスクリーン上に生じる光輝点が均質となり、見栄えが非常に良好なものとなる。

【0065】更に、アモルファスダイヤモンド薄膜は化学的に不活性であり、マイクロチップ先端部のように1点にイオンが集中することではなく、真空部30に生じるイオンによってもスパッタリングされ難いので、安定なエミッションを長い時間維持できる。こうしたスパッタリングについては、薄膜16自体が薄くて微細孔20の底面に存在しているために、薄膜16はスパッタリングされ難い構造となっている。

【0066】更に、電子を放出する部分を上記の薄膜16としているので、この薄膜を形成する際、後述する蒸着後のリフトオフによって仮に金属片が生じても、薄膜16とゲート電極14との間が十分離れているためにこれらの間に金属片が付着して短絡が生じることがない。この結果、印加電圧を上昇させた場合に電極が溶断されることはなく、信頼性の良い動作を行わせることができる。

【0067】次に、本実施例によるディスプレイ装置を構成する電子放出源（電界放出型カソードを含む電極構体25）の製造方法の一例を図4～図9について説明する。

【0068】まず、図4に示すように、ガラス等からなる下部基板11上にニオブ、モリブデン又はクロム等の導体材料を厚さ約2000Å程度に成膜し、その後、写真製版法及び反応性イオンエッチング法（例えばC1<sub>2</sub>とO<sub>2</sub>との混合ガス使用）によりこの導体膜をライン形状に加



工し、カソード電極ライン13を形成する。

【0069】次いで、図5に示すように、絶縁層15、例えば二酸化珪素( $\text{SiO}_2$ )をスパッタリング又は化学蒸着法(CVD)によりカソード電極ライン13を含む面上に厚さ1 $\mu\text{m}$ 程度に成膜し、更に、絶縁層15上にゲート電極材料14、例えばニオブ又はモリブデンを厚さ2000Å程度に成膜する。

【0070】次いで、図6に示すように、写真製版法及び反応性イオンエッチング法により、このゲート電極材料膜をカソード電極ライン13と交差するようなライン形状のゲート電極ライン14に加工する。そして、ゲート電極ライン14と絶縁層15を貫通する円形の微細孔20を写真製版法及び反応性イオンエッチング法(例えば、 $\text{CHF}_3$ と $\text{CH}_2\text{F}_2$ との混合ガス使用)により形成する。

【0071】次いで、図7に示すように、ゲート電極14をマスクにして微細孔20に面する絶縁層15をウェットエッチング(等方性エッチング:例えば、弗化アンモニウムを緩衝剤として添加したフッ酸を使用)でオーバーエッチングし、これによって微細孔20を拡張すると共に、ゲート電極14にオーバーハング部14Aを形成する。

【0072】次いで、図8に示すように、剥離層24、例えばアルミニウム又はニッケルを電子放出源の主面部に対して斜め方向から真空蒸着により成膜する。

【0073】次いで、図9に示すように、微細孔20内の導体部(カソード電極13)上に薄膜16、例えばアモルファスダイヤモンド薄膜16の微小冷陰極を例えば化学蒸着法(CVD)により厚さ2000Å程度に成膜する。このCVDで使用する反応ガスは $\text{CH}_4$ と $\text{H}_2$ との混合ガス、又は $\text{CO}$ と $\text{H}_2$ との混合ガスであり、この反応ガスの熱分解によってダイヤモンド薄膜16を堆積させる。

【0074】次いで、剥離層24を溶解することにより、この剥離層24上に堆積した微小冷陰極材16を剥離し、除去(リフトオフ)する。これによって、図1に示した如く、微細孔20内に微小冷陰極16を選択的に形成した電極構体25(電子放出源)を完成する。

【0075】このように、上記した製造方法によって、電子放出物質の薄膜16を成膜するに際し、その薄膜16の厚みは絶縁層15に比べてずっと薄く、その厚み分は容易に堆積可能であるので、既述したマイクロチップのように高さや形状を高精度にして形成する必要はなく、また、微細孔20内の堆積膜以外に堆積した電子放出物質を剥離層24と共にリフトオフし易くなる。

【0076】しかも、このリフトオフ時に仮に金属片が生じても薄膜16が薄いために、カソード13-ゲート14間が十分に離れており、これらの間に金属片が接触して短絡することはない(但し、上記に例示したダイヤモンド等の仕事関数の小さい物質はいずれも絶縁体であって短絡を生じることもない)。この結果、カソード13-ゲート14間の印加電圧を上昇させた場合に電極が溶断されることはなく、信頼性の良い動作を行わせることができ

る。

【0077】なお、図9に示した薄膜16の堆積時には、ゲート電極14のオーバーハング部14Aの存在によって、微細孔20内において堆積膜16が絶縁層15の内壁面に付着すること(従って、ゲート電極14と薄膜16が接触すること)を防止でき、薄膜16による電子放出性能を良好にできる。また、オーバーハング部14Aはあまり突出させないことによって、ゲート電極14の機械的強度も保持できる。

【0078】図10は、本発明の第2の実施例による電子放出源(電極構体25)を示すものである。

【0079】この第2の実施例による電子放出源は、上記の第1の実施例による電子放出源とはほぼ同様の構成を有するが、微細孔20の形状がスリット状であることが異なっている。

【0080】即ち、本実施例による電子放出源においては、ゲート電極ライン14及び絶縁層15を貫通して多数のスリット状の微細孔20が形成され、これらの微細孔20内に薄膜16の微小冷陰極が形成されてカソード電極ライン13と電気的に接続されている。

【0081】薄膜16がアモルファスダイヤモンドからなる場合、上述したように低電圧駆動が可能となり、また、微小冷陰極自体が抵抗体であるから、各微細孔20内の薄膜16から放出される電流量が均質化される。さらに、アモルファスダイヤモンド薄膜16は化学的に不活性であり、スパッタリングされ難いので、安定なエミッションを長い時間維持できる。

【0082】本実施例では、微細孔20がスリット状であるが、微小冷陰極の薄膜16の表面での電界強度は上述した第1の実施例による円形の微細孔の場合とほとんど等しいので、ほぼ同一電圧で駆動できる。このスリット状の微細孔20は、円形の微細孔の場合と比較して、エミッション領域(電子放出面積)が大きいので、同一電圧で駆動しても、より大きな電流密度が得ることができる。

【0083】以上、本発明の実施例を説明したが、上述の実施例は本発明の技術的思想に基いて更に変形が可能である。

【0084】例えば、上述した薄膜16、カソード電極13等の材質や厚み、その成膜方法等は種々変化させてよい。成膜方法には、上述したCVDだけでなく、レーザアブレーション法(レーザ光照射によるエッチング現象を利用した堆積法:ダイヤモンド薄膜の場合はターゲットはグラファイトが使用可能)、スパッタ法(例えばArガスをを用いたスパッタリング:ダイヤモンド薄膜の場合はターゲットはグラファイトが使用可能)等がある。

【0085】また、上述した電子放出源は、FEDに好適であるが、対向する蛍光面パネルの構造や各部のバターン及び材質等は上述したものに限られず、また、その作製方法も種々採用できる。

【0086】なお、上述した電子放出源の用途は、FE

D又はそれ以外のディスプレイ装置に限定されることはなく、真空管（即ち、カソードから放出される電子流をゲート電極（グリッド）によって制御し、増幅又は整流する電子管）に使用したり、或いは、カソードから放出される電子を信号電流として取り出すための回路素子（これは、上述したFEDの螢光面パネルに光電変換素子を取付け、螢光面パネルの発光パターンを光電変換素子で電気信号に変換する光通信用の素子も含まれる。）等にも応用可能である。

【0087】

【発明の作用効果】本発明によれば、上述した如く、第1の電極と第2の電極とが絶縁層を介し互に対向して設けられ、前記第2の電極及び前記絶縁層をそれぞれ貫通する微小孔が形成され、前記第1の電極と前記第2の電極との間に電圧を印加することによって所定の粒子が前記第1の電極側から前記微小孔を通して放出されるように構成されている粒子放出装置において、前記第1の電極の構成材料よりも仕事関数が小さい粒子放出物質からなる薄膜が前記微小孔内に設けられているので、前記第1の電極と前記第2の電極との間に電圧を印加した際に等電位面が前記薄膜に沿って平坦に形成されることになる。従って、この平坦な等電位面に対して直交して進行する粒子は、前記微小孔から対象物（例えば螢光体面）へかなり揃った方向性を以て進行するため、常に目的とする対象物に到達することができ、ミスランディングを大きく減少させることができ、高精細化が可能となる。

【0088】また、前記薄膜を構成する粒子放出物質の仕事関数が前記第1の電極の構成材料よりも小さいので、粒子の放出のために前記第1の電極と前記第2の電極との間に印加する電圧を低減することができ、低電圧駆動に必要な放出量を安定して得ることができる。この場合、前記微小孔の薄膜が抵抗体であると、微小孔内の薄膜から放出される粒子量を均質化できる。

【0089】また、粒子を放出する部分を前記薄膜としているので、この薄膜を形成する際、例えば蒸着後のリフトオフによって仮に金属片が生じても、前記薄膜と前記第2の電極との間が十分離れているために、これらの間に金属片が付着して短絡が生じることがない。この結果、印加電圧を上昇させた場合に電極が溶断されることはなく、信頼性の良い動作を行わせることができる。

【0090】更に、粒子を放出する部分が前記薄膜であるため、マイクロチップ先端のようにイオンが1点に集中することはなく、高真空領域に存在するイオンが薄膜に到達してこれをスパッタする割合が激減するから、装置の長寿命化が可能である。この場合、微小孔の薄膜は化学的に不活性であってスパッタリングされにくい材質で形成すれば、一層安定なエミッションを長い時間維持できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例による電子放出源の概略断面図である。

【図2】同電子放出源の一部分の拡大平面図である。

【図3】同電子放出源の電子放出性能を説明するための概略断面斜視図である。

【図4】同電子放出源の製造工程の一段階を示す概略断面図である。

【図5】同電子放出源の製造工程の他の一段階を示す概略断面図である。

10 【図6】同電子放出源の製造工程の他の一段階を示す概略断面図である。

【図7】同電子放出源の製造工程の他の一段階を示す概略断面図である。

【図8】同電子放出源の製造工程の他の一段階を示す概略断面図である。

【図9】同電子放出源の製造工程の更に他の一段階を示す概略断面図である。

【図10】本発明の第2の実施例による電子放出源の部分断面の概略図である。

20 【図11】従来の電子放出源を適用したディスプレイ装置の一部分の分解断面斜視図である。

【図12】同電子放出源の一部分の拡大断面斜視図である。

【図13】同電子放出源の概略断面図である。

【図14】同ディスプレイ装置におけるR、G、B三端子の切り換えによる色選別を説明するための一部分の概略断面図である。

【図15】同色選別時のタイミングチャートである。

30 【図16】同電子放出源の電子放出性能を説明するための概略断面斜視図である。

【図17】同電子放出源の製造工程の一段階を示す概略断面図である。

【図18】同電子放出源の製造工程の他の一段階を示す概略断面図である。

【図19】同電子放出源の製造工程の他の一段階を示す概略断面図である。

【図20】同電子放出源の製造工程の更に他の一段階を示す概略断面図である。

40 【図21】同電子放出源の製造工程において溶断が生じる状況を示す概略断面図である。

【符号の説明】

- 11・・・下部基板
- 13・・・カソード電極ライン
- 14・・・ゲート電極ライン
- 15・・・絶縁層
- 16・・・薄膜
- 20・・・微細孔（カソードホール）
- 22・・・交差領域
- 24・・・剥離層
- 50 25・・・電子放出源（電極構体）

(9)

特開平8-96704

15

16

30...真空部

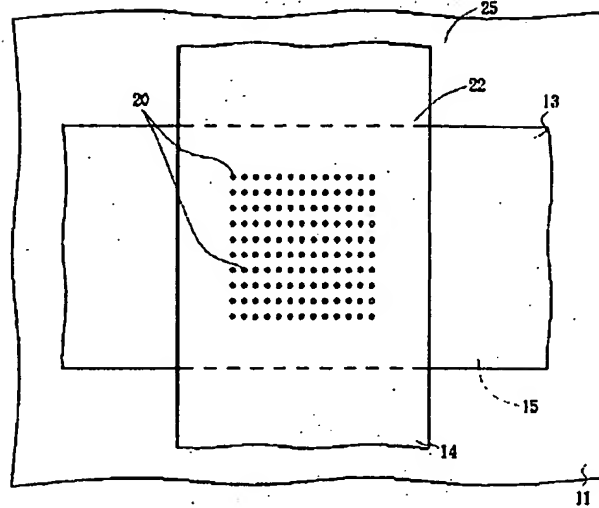
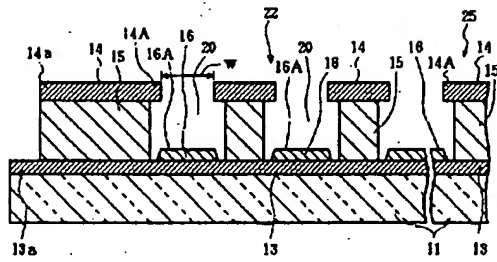
e...電子

E...等電位面

R, G, B...各色の蛍光体

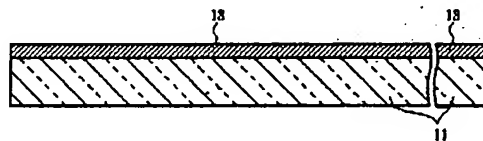
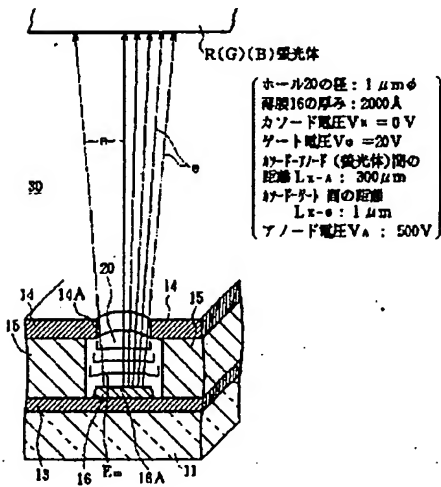
【図1】

【図2】



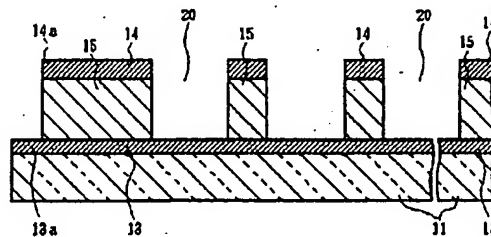
【図3】

【図4】

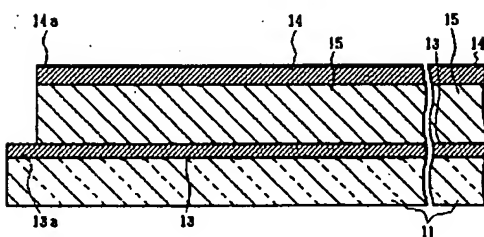


【図6】

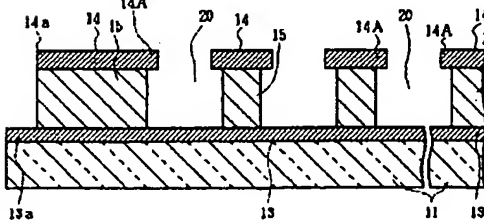
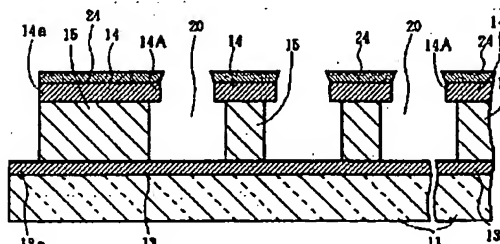
【図5】



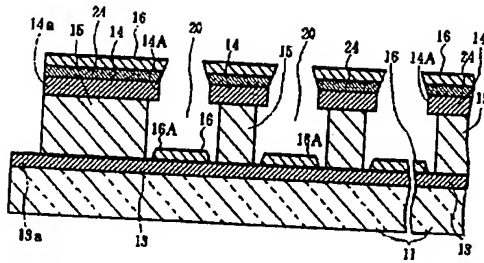
【図8】



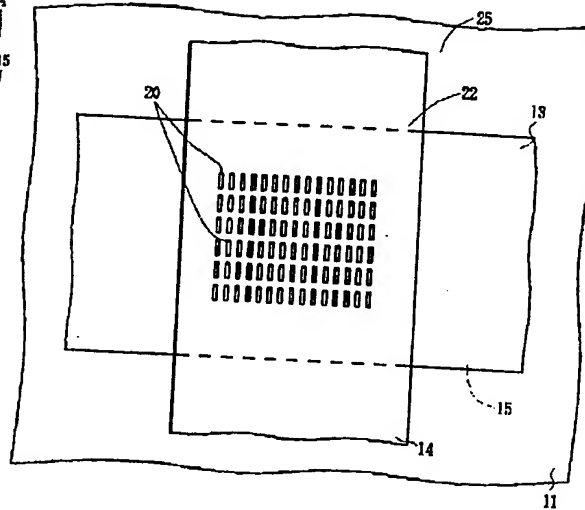
【図7】



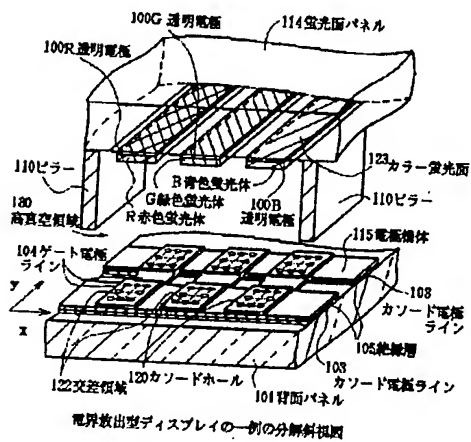
【図9】



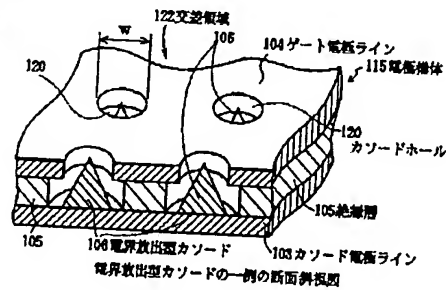
【図10】



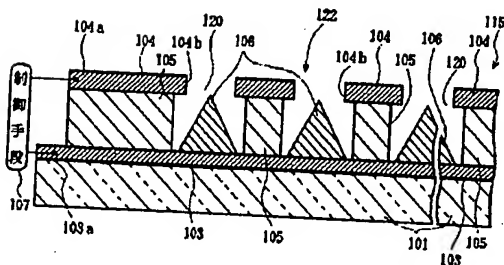
【図11】



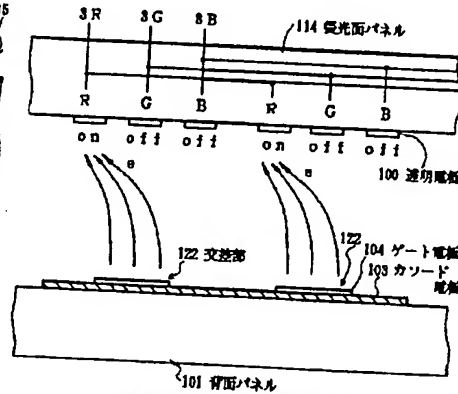
【図12】



【図13】

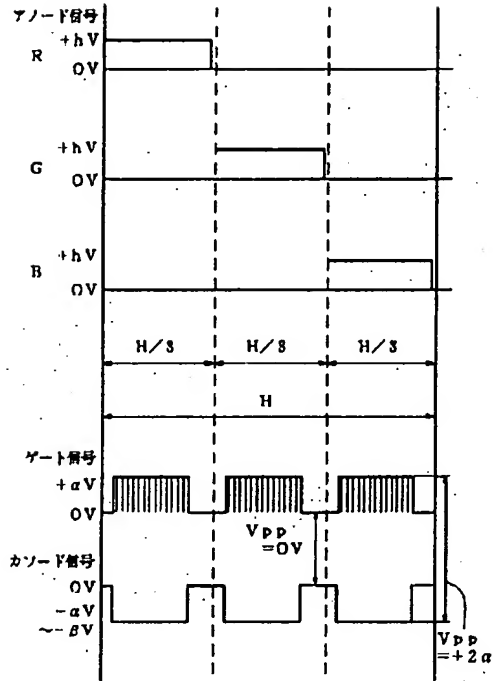


【図14】



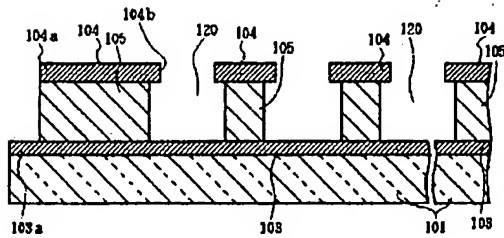
R、G、B端子切り換えによる色選択の説明図

【图 15】

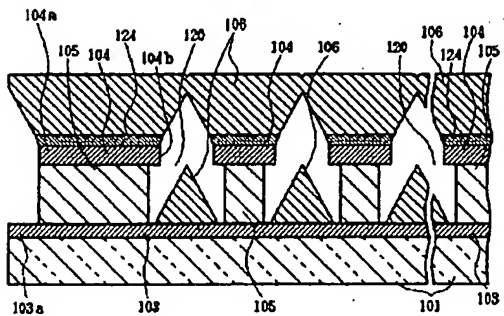


色選別のタイミングチャートを示す図

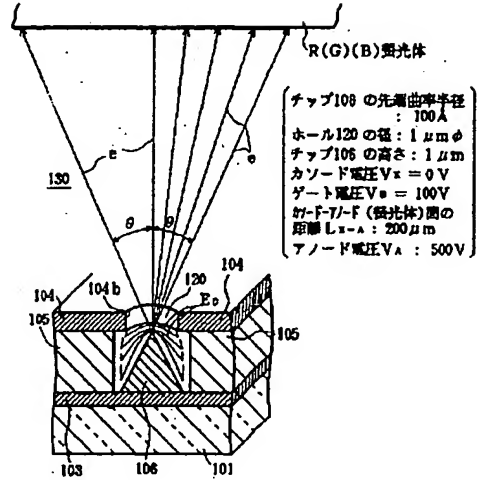
【例 17】



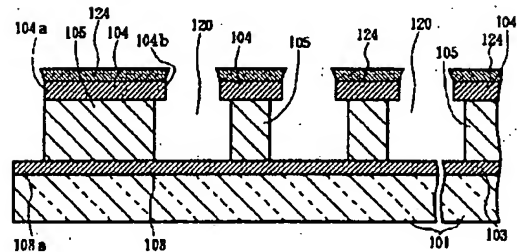
【例 19】



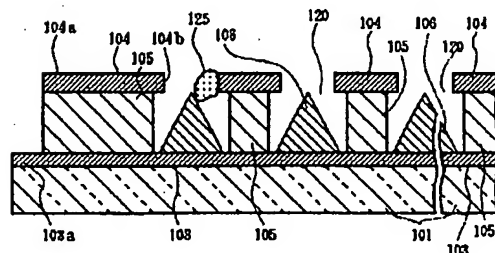
【图 16】



【図 18】



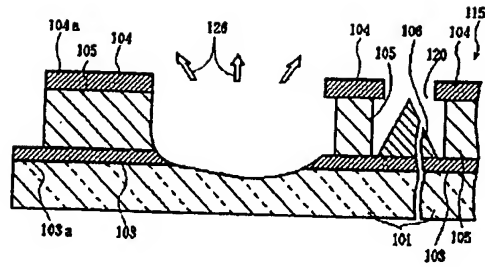
【図 20】



(12)

特開平8-96704

【図21】



BEST AVAILABLE COPY